

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-232898

(43)Date of publication of application : 10.09.1993

(51)Int.Cl.

G09G 3/20

G09G 3/38

H04N 5/68

(21)Application number : 04-033838

(71)Applicant : NEC CORP

(22)Date of filing : 21.02.1992

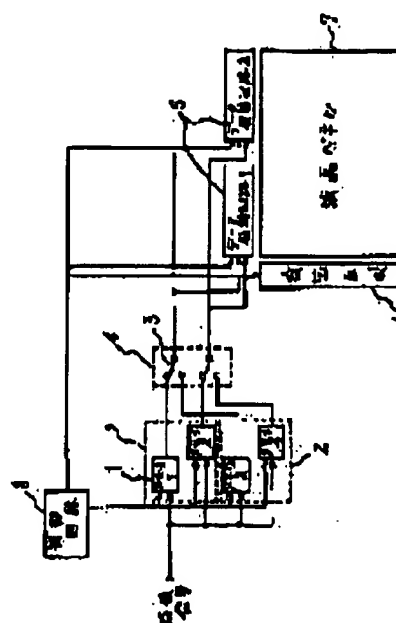
(72)Inventor : MORIYAMA HIROAKI

(54) IMAGE SIGNAL PROCESSING CIRCUIT

(57)Abstract:

PURPOSE: To reduce the action frequency of an image signal processing circuit for a matrix type display by a small memory circuit scale.

CONSTITUTION: An image signal which is serially sent is successively stored in a memory 1. Two set of memories 2 consisting of the plural memories 1 are provided. While the image signal is written in a set of memories, the image signal written in the other set of memories is read out at the same time. The image signal is read out through a selection circuit 4 and the read image signal is fetched by a data driving circuit 5 at the same time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(18)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-232898

(43)公開日 平成5年(1993)8月10日

(51)IntCl.	特許庁	特許庁	特許庁	特許庁
G09C 3/20	3/20	R 9821-5G		
	3/20	7319-5G		
H04N 5/06	5/06	102 B 9068-5C		

審査請求 未請求 請求項の数1(全9頁)

(21)出願番号 特願平4-33836

(22)出願日 平成4年(1992)2月21日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 森山 浩明

東京都港区芝五丁目7番1号日本電気株式会社内

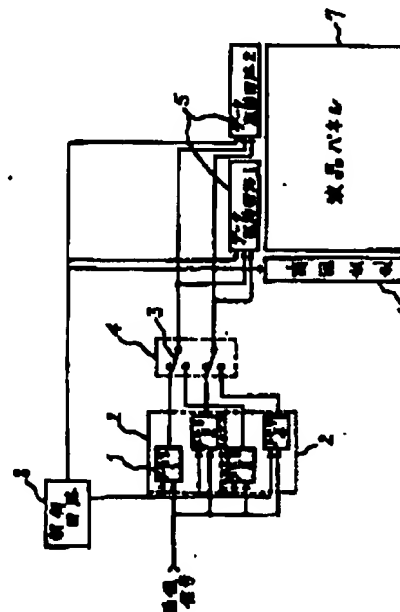
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 画像信号処理回路

(57)【要約】

【目的】小さいメモリ回路規模で、マトリクス型ディスプレイ用画像信号処理回路の動作周波数を下げる。

【構成】直列で送られてくる画像信号を順次メモリ1に記憶する。複数のメモリ1からなる1組のメモリ組2を2組備え、1組のメモリに画像信号が書込まれている期間に、もう1組のメモリからは書込まれていた画像信号を同時に読出す。画像信号は選択回路4を通して読出され、読出された画像信号は同時にデータ駆動回路5に取込まれる。



(2)

特開平5-292888

1

【特許請求の範囲】

【請求項1】 直列画像信号を並べ換えてマトリクス型画像表示装置に並列に画像信号を入力する画像信号処理回路において、順次送られてくる画像信号を順に記憶し、この記憶した複数の画像信号を全て同時に送出する記憶回路を2組備え、これら2組の記憶回路のうちの1組から出力される前記複数の画像信号を選択する選択回路を備え、この選択回路を通して前記2組の記憶回路から送出される前記複数の画像信号をこの複数の画像信号1組毎に順次取込んで並べ換えた後、前記マトリクス型画像表示装置に送出する駆動回路を備えていることを特徴とする画像信号処理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マトリクス型画像表示装置の画像信号処理回路に関するものである。

【0002】

【従来の技術】 一般にマトリクス型画像表示装置は、液晶ディスプレイ、プラズマディスプレイなどフラットパネルが使用される。これらのフラットパネルディスプレイはブラウン管に比べ、省スペース、低消費電力などの長持ち、開発が進められている。

【0003】 マトリクス型画像表示装置のパネルに駆動信号を入力する駆動回路においては、直列に送られてくる画像信号を駆動回路内で並べ換えて、並列にパネルに inputs。画像信号としてパーソナルコンピュータの1ビットデジタル信号（白黒）を用いると、画像信号の周波数は約18MHzである。これに対しデータ駆動回路は並べ換え回路を構成するシフトレジスタ、データレジスタ回路により動作周波数が制限されているために、データ駆動回路は10MHz程度で動作する。したがって、高速の画像信号は一旦メモリ等に記憶した後、データ駆動回路の動作周波数に合わせた低い周波数で読み出してデータ駆動回路に送る必要がある。

【0004】 従来例の画像信号処理回路のブロック図を図5に示し、図6には図5のブロック図の動作を説明するタイミング図を示す。図5において、9はスイッチ、4はスイッチ3からなる選択回路、5はデータ駆動回路、6は走査回路、7は液晶パネル、8は制御回路、14はラインメモリで内部に320個のメモリを持つとし、液晶パネル7の画素数を840×400とし、ラインメモリ14は2個で1ライン分のデータを記憶する。この液晶パネル7は各画素にアモルファス薄層トランジスタを持つアクティブマトリクス型とする。また、データ駆動回路5は320本の出力端子を持ち、2個で液晶パネル7の840本のデータ線を駆動する。このデータ駆動回路の画像信号取り込み周波数は、最高で10MHzである。

【0005】 図6のタイミング図においてはラインメモリ14の動作を示しており、1から840までの数字は

2

1ラインの何番目の画像信号であるかを示す。Wはデジタル画像信号をメモリにデータとして書き込む期間であり、Rはメモリから読み出す期間を示す。

【0006】 この画像信号処理回路の動作を説明する。第1ライン前半の画像信号1から320まではラインメモリ14の(1)に記憶され、引き続き第1ライン後半の画像信号321から840はラインメモリ14の(2)に記憶される。書き込み周波数は約18MHzである。第2ラインの期間においては選択回路4はラインメモリ(1)及びラインメモリ(2)を選択し、これらラインメモリ(1)、(2)から並列で画像信号が読み出される。

【0007】 第1ラインの画像信号は前半と後半に分割されてラインメモリ(1)、(2)に記憶されているので、1番目の画像信号と321番目の画像信号との2つが並列で読み出される。以下同様に、2番目と322番目、3番目と323番目とが読み出される。読み出し周波数は書き込み周波数の半分の9MHzになり、データ駆動回路5で取込み可能となる。第2ラインの期間では、前半の画像信号1から320まではラインメモリ14の(3)に記憶され、引き続き後半の画像信号321から840はラインメモリ14の(4)に記憶される。ラインメモリ(1)より出力される画像信号1から320はデータ駆動回路5の(3)に順次入力され、ラインメモリ(2)より出力される画像信号321から840はデータ駆動回路5の(4)に順次入力される。入力された画像信号はデータ駆動回路(3)、(4)内のデータレジスタに書き込まれて並べられ、第3ラインの期間に画像信号1から840は一斉に液晶パネル7に送出される。

【0008】 液晶パネルに送出される信号は、液晶を駆動するためにデータ駆動回路5aの(3)、(4)内のレベルシフト回路で±5V程度の信号に変換される。第3ラインの期間に走査回路8から液晶パネル7の第1ラインにオンパルスを加えることにより、第1ラインにゲートが接続された薄層トランジスタがオンし、第1ラインの画像信号1から840が所定の位置に表示される。第3ラインの期間においては、前半でラインメモリ14の(1)に第3ラインの前半の画像信号を書込み、後半でラインメモリ14の(2)に後半と画像信号を書込む。

【0009】 また、第3ラインの期間において、選択回路(4)はラインメモリ(3)、(4)の出力を選択し、ラインメモリ(3)から出力された画像信号はデータ駆動回路(3)に inputs、ラインメモリ(4)から出力された画像信号はデータ駆動回路(4)に inputs。入力された画像信号はデータ駆動回路(3)、(4)内のデータレジスタに並べられ、第4ラインの期間に画像信号1から840は一斉に液晶パネル7に送出され、液晶パネル7の第2ラインにオンパルスを加える。この動作を繰返し、1ラインの画像信号を順次表示していく

50

(3)

特開平5-232888

3

ことにより、1枚の画像表示を得ることができる。

【0010】従来の技術においては、2側のラインメモリ14を2組用意し、1ライン分の画像信号を前半と後半に分割して記憶し、画像信号読出し時に前半と後半の2つの画像信号を並列に読出して、2つのデータ駆動回路5に並列に入力していた。この方法によれば、画像信号周波数に比べ、データ駆動回路の画像信号取り込み周波数は半分にすることができる。

【0011】

【発明が解決しようとする課題】しかし、従来の技術では図5に示すようにラインメモリ14が4個必要であり、また、画像信号を1ビット（白黒）とする代りに18階調表示を得る場合には、4ビットの信号を処理する必要があり、さらにラインメモリが必要となる。したがって、信号処理回路部での部品点数の増加により部品コストが増加し、また部品面積の増大により、装置の小型化が制限されていた。

【0012】また一般的にはデータ駆動回路は一個の集積回路とする。多数のメモリをデータ駆動回路に一体集積化することは、集積回路のチップ面積が増加するので製造コストの上で、不利であった。

【0013】本発明の目的は、データ駆動回路部の動作周波数を上げることなくメモリ回路部を単純化し画像信号処理回路を提供することにある。

【0014】

【課題を解決するための手段】本発明の構成は、直列画像信号を並べ替えてマトリクス画像表示装置に並列に画像信号入力する画像信号処理回路において、順次送られてくる画像信号を順に記憶し、この記憶した複数の画像信号を全て同時に送出する記憶回路を2組備え、これら2組の記憶回路のうちの1組から出力される前記複数の画像信号を選択する選択回路を備え、この選択回路を通して前記2組の記憶回路から送出される前記複数の画像信号をこの複数の画像信号1組毎に順次取込んで並べ替えた後、前記マトリクス型画像表示装置に送出する駆動回路を備えていることを特徴とする。

【0015】

【実施例】図1は本発明の画像信号処理回路の第1の実施例のブロック図、図2は図1の動作を説明するタイミング図である。図において、画像信号はパーソナルコンピュータの画像信号、1はメモリ、2は2個のメモリからなるメモリ組、3はスイッチ、4はスイッチ3からなる選択回路、5はデータ駆動回路、6は走査回路、7は液晶パネル、8は制御回路である。画像信号は1ビット（白黒）のデジタル信号である。メモリ1の（1）から（4）はそれぞれ画像信号1ビット分を記憶する。画像信号はメモリ（1）から（4）に順次記憶される。また、このメモリ1の読出しはメモリ（1）と（2）及びメモリ（3）と（4）とをそれぞれ1組として、1組ずつ同時に行う。読出された2つの画像信号は本発明

4

した2画素分の画像信号で、選択回路4を通過して同時にデータ駆動回路5に取込まれる。画像信号のデータ駆動回路への取込み（メモリ回路からの読出し）周波数は、メモリ回路への画像信号の書き込み周波数の半分となる。

【0016】また、液晶パネル7の画素数は840×400であり、各画素にアモルファス薄膜トランジスタを持つアクティブマトリクス型である。データ駆動回路5は2つの画像信号入力端子を持ち、2つの画像信号を同時に取込む。このデータ駆動回路5は320本の出力端子を持ち、2個で液晶パネル7の840本のデータ線を駆動する。制御回路8は各回路を制御する。

【0017】図2の動作図においては、メモリ1の（1）から（4）の動作を示しており、1から840までの数字は1ラインの何番目の画像信号であるかを示す。Wはデジタル画像信号をメモリにデータとして書き込む期間であり、Rはメモリから読出す期間を示す。

【0018】次に本実施例の動作を説明する。第1ラインの1番目の画像信号はメモリ1の（1）に書込まれ、次に2番目の画像信号はメモリ1の（2）に書込まれる。その書き込み周波数は約18MHzである。3番目、4番目の画像信号をメモリ（3）及びメモリ（4）に順に書込んでいる期間、選択回路4ではメモリ（1）及びメモリ（2）の出力が選択され、1番目の画像信号と2番目の画像信号との2つが並列に読出される。その読出し周波数は書き込み周波数の半分の9MHzになり、データ駆動回路5で取込み可能となる。

【0019】2つの画像信号はデータ駆動回路5の（1）内のデータレジスタに格納される。さらに5番目、6番目の画像信号をメモリ（1）及びメモリ（2）に順に書込んでいる期間には、選択回路ではメモリ（3）及びメモリ（4）の出力が選択され、3番目の画像信号と4番目の画像信号との2つが並列に読出され、そしてデータ駆動回路4の（1）に格納される。

【0020】この動作を繰返して320個の画像信号をデータ駆動回路（1）に順次入力、格納した後、画像信号321から840はデータ駆動回路（2）に同様に2つの画像信号を並列に順次入力する。入力された画像信号はデータ駆動回路（1）及び（2）内のデータレジスタに書き込まれて並べられ、第2ラインの期間に画像信号1から840は一斉に液晶パネル7に送出される。

【0021】液晶パネル7に送出される信号は、液晶を駆動するためにデータ駆動回路（1）及び（2）内のレベルシフト回路で±5V程度の信号に変換される。第2ラインの期間に走査回路8から液晶パネル7の第1ラインにオンパルス（印加することにより、第1ラインに接続された薄膜トランジスタがオンし、第1ラインの画像信号1から840が所定の位置に表示される。画像信号の第2ラインの期間においても、第1ラインと同様に画像信号はメモリ1ないし4に順次書き込み、選択

5

回路4でメモリ(1)及び(2)またはメモリ(3)及びメモリ(4)の出力を選択し、2つの画像信号を並列で読出す。

【0022】画像信号は2つずつデータ駆動回路(1)内のデータレジスタに順次格納される。320個の画像信号をデータ駆動回路(1)に格納した後、画像信号321から840はデータ駆動回路(2)に同様に2つの画像信号を並列で順次入力する。入力された画像信号はデータ駆動回路(1)及び(2)内のデータレジスタに書き込まれ、第3ラインの期間に画像信号1から840は一旦に液晶パネル7に送出される。この動作を繰り返して、1ラインの画像信号を順次表示していくことにより、1枚の画像表示を得ることができる。

【0023】図3は図1のメモリ1を具体化し、またデータ駆動回路5内の詳細ブロック図であり、図4は図3の動作を説明するタイミング図である。図において、図1のメモリ1はD型フリップフロップ(D-FF)9で示し、このD-FF9は2個1組で、メモリ組2を構成する。D-FF(1)から(4)には、画像信号とクロック(1)から(4)とが入力され、D-FF(1)から(4)はクロック(1)から(4)の立上がり時に画像信号を取込む。スイッチ3が2個(SW1, SW2)で選択回路4を構成し、このスイッチ3で2つの入力から1つを選択する。

【0024】データ駆動回路5は、シフトレジスタ10、データレジスタ11、ラッチ回路12、レベルシフタ13等から構成される。スタートパルスはシフトレジスタ10の動作を開始させるパルスで、クロックの立上がりで画像信号データ(1)、(2)、(3)…はデータレジスタ11に格納される。

【0025】図4においては、各D-FF9の出力はQで示されている。図4各部を制御するクロック、パルス等は図1の制御回路8の(1)で発生される。図4に示すように、画像信号が送られてくる周波数に対してSW1及びSW2の出力の周波数は半分であり、画像信号データはクロックに同期してデータレジスタ11に格納される。画像信号は1から320までが格納される。実際にはデータ駆動回路5はもう1個あり、このデータ駆動回路5に321から840の画像信号データが格納される。データレジスタ11に格納された画像信号データはラッチ回路12に一旦に取込まれ、レベルシフタ13で液晶駆動用に±5V程度に増幅されて液晶パネル7に送出される。

【0028】従来例においては、2個からなるラインメモリ14を2組用意する必要があったが、本実施例の画像信号処理回路によれば、メモリ1を4個で、画像信号の周波数に比べてデータ駆動回路の画像信号取込み周波数を半分にすることができる。

【0027】本実施例では、画像信号を1ビット(白黒)信号としたが、階調表示用の2ビット以上の信号を

(4)

特開平5-232898

6

処理する場合にも、1組でのメモリ数を増やして対応できる。18階調画像信号では4ビットのデジタル信号を扱うので、計18個のメモリでメモリ回路部分を構成し、スイッチを増加し、データレジスタのレジスタを増加させ、レベルシフタで液晶階調表示用の電圧を発生させれば良い。この場合にも従来と比較して選択回路部やデータ駆動回路の規模はほとんど同一で、メモリ回路部では多数のラインメモリが必要ではないので回路規模が小さくできる。また、カラー画像信号の場合にも、1組のメモリ数を増やすことで対応できる。

【0028】本実施例では、1組のメモリ回路は2個のメモリから構成したが、1組を3個のメモリとして画像信号を3個のメモリに順次書き込んだ後、3画面分の画像信号をデータ駆動回路に送り、データ駆動回路5はこの3つの画像信号を同時に取込めば、画像信号の1/3の周波数でデータ駆動回路を動作させることができる。なお、データ駆動回路5の出力本数は320に限らない。

【0029】また、本実施例では、パーソナルコンピュータの画像信号を扱って説明したが、ワークステーションやハイビジョン等の高画質の画像信号においても適用でき、さらに、本実施例ではデジタル信号としたが、画像信号がアナログの場合でもメモリやデータレジスタ、ラッチ回路等にサンプルホールド回路を使用すれば同様に信号を処理できる。

【0030】また、従来のデータ駆動回路は一つの集積回路で製作されていたが、メモリ回路部については大規模なラインメモリが必要なためにメモリ回路部だけで別の集積回路として製作し組合わされていたが、本実施例によればメモリ部分の規模が小さいので、データ駆動回路とメモリ部分とが一体化して集積回路化できる。さらに本実施例では液晶パネルを用いたが、プラズマディスプレイ等のマトリクス型ディスプレイにも応用できる。

【0031】

【発明の効果】以上説明したように本発明の画像信号処理回路は、小さいメモリ回路規模でデータ駆動回路の動作周波数を下げることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の画像信号処理回路の一実施例のブロック図。

【図2】図1の動作を説明するタイミング図。

【図3】図1の画像信号処理回路の詳細ブロック図。

【図4】図3の動作を説明する波形図。

【図5】従来の画像信号処理回路の一例のブロック図。

【図6】図5の動作を説明するタイミング図。

【符号の説明】

- 1 メモリ
- 2 メモリの組
- 3 スイッチ

50

(5)

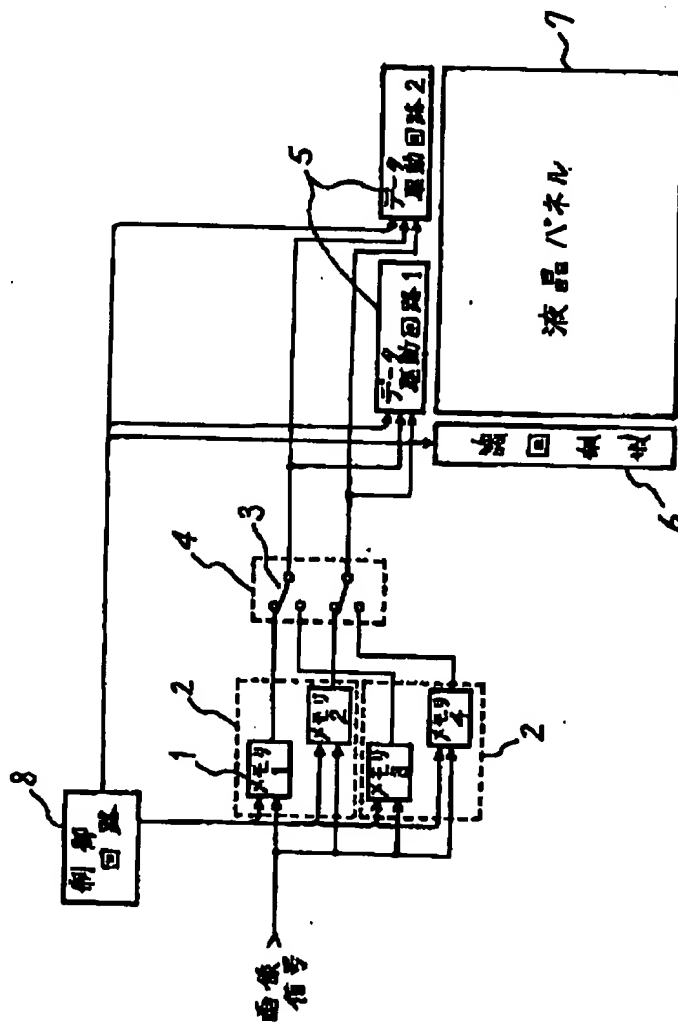
特種平 5 - 232888

- 4 選択回路
- 5 データ駆動回路
- 6 走査回路
- 7 液晶パネル
- 8 制御回路
- 9 D型フリップフロップ

- | | |
|------|---------|
| * 10 | シフトレジスタ |
| 11 | データレジスタ |
| 12 | ラッチ回路 |
| 13 | レベルシフト |
| 14 | ラインメモリ |

✱

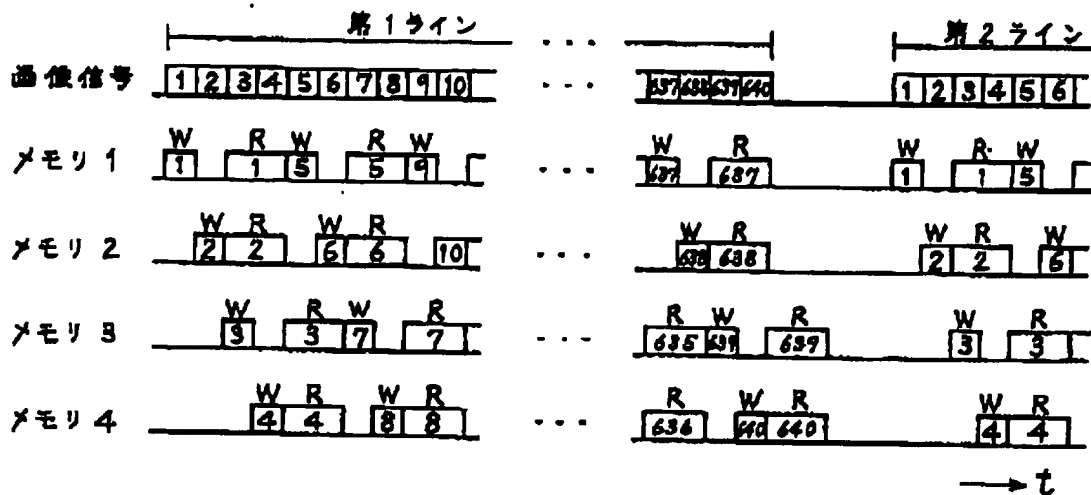
【 1 】



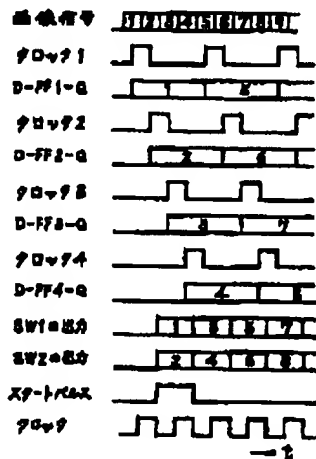
(6)

特開平5-232898

【図2】



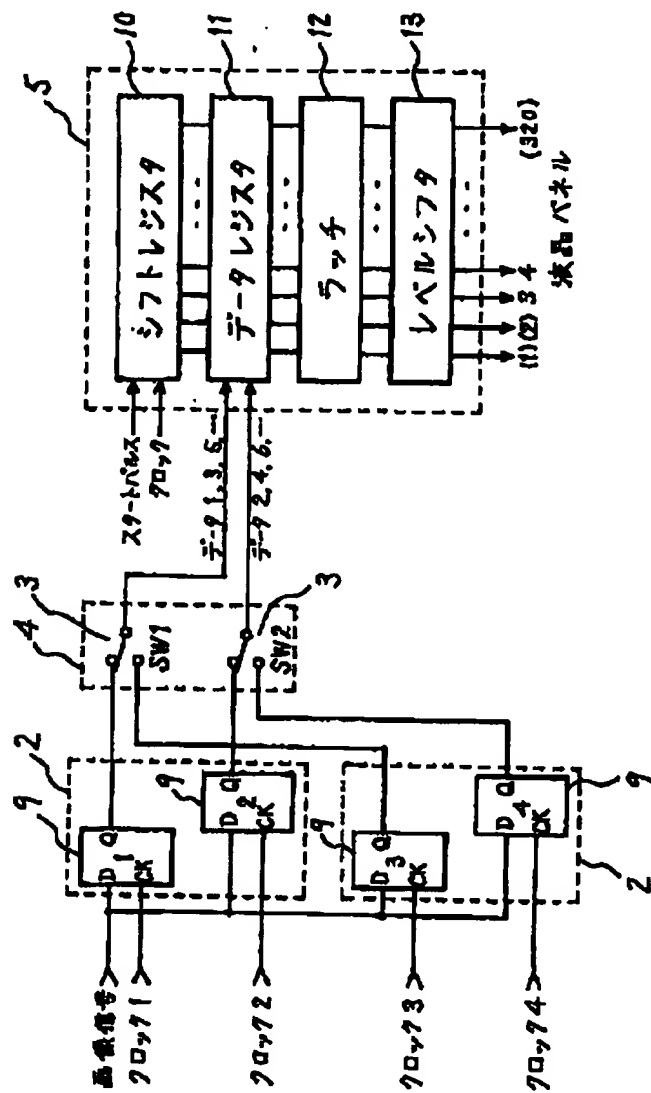
【図4】



(7)

特開平5-232888

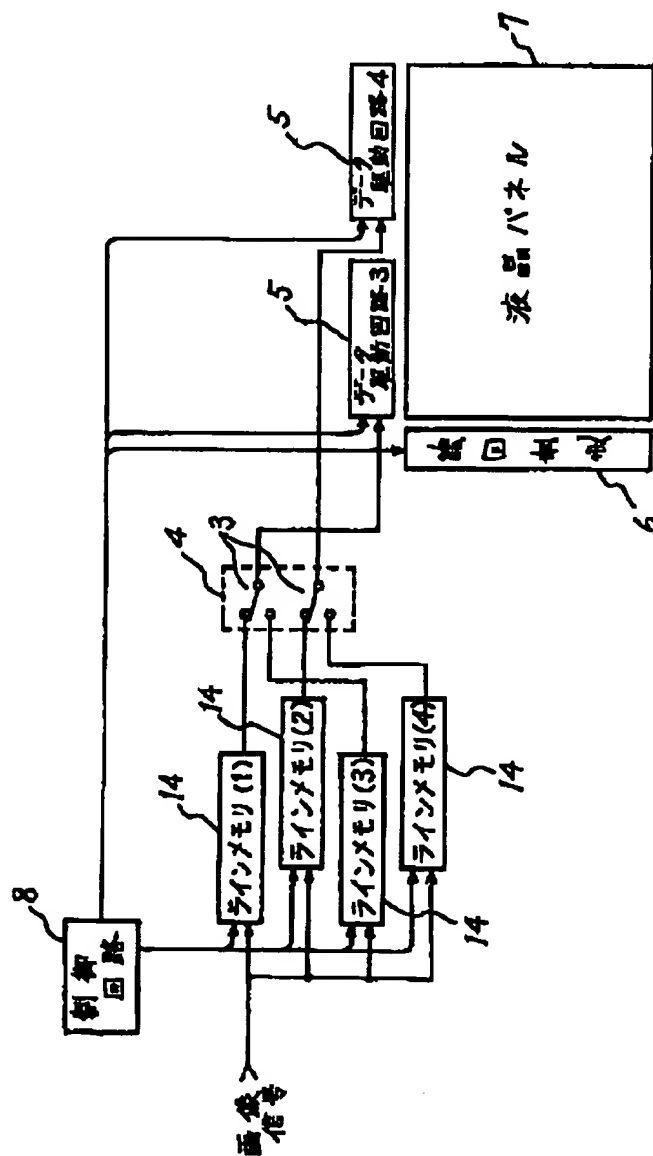
【図3】



(8)

特開平5-232898

【図5】



(9)

特開平5-232898

【図8】

